

PAT-NO: JP404042599A

DOCUMENT-IDENTIFIER: JP 04042599 A

TITLE: METHOD FOR ALIGNING SEMICONDUCTOR ELEMENT

PUBN-DATE: February 13, 1992

INVENTOR-INFORMATION:

NAME

KOBASHI, MIKIO

BESSHO, YOSHIO

HARAZONO, KOHEI

TAKEDA, TORU

KAMIYA, SUSUMU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP02150924

APPL-DATE: June 8, 1990

INT-CL (IPC): H05K013/04

US-CL-CURRENT: 29/834

ABSTRACT:

PURPOSE: To improve the joining accuracy of a semiconductor element with a substrate and, at the same time, to simplify the facility by recognizing the alignment mark on the semiconductor element and two alignment marks on a substrate by means of one optical system.

CONSTITUTION: the position of a substrate 1 is corrected so that the substrate 1 can be brought to a fixed position with an X-Y table 11 and θ ; table 10 by recognizing an alignment mark 21 on the substrate 1 and calculating the difference of the mark 21 with another alignment mark 20 on the substrate 1. The position of a semiconductor element 2 is corrected so that the element 2 can be brought to a fixed position with an X-Y table 8 and the θ -rotation of a vacuum adsorption nozzle 3. At the time of joining the semiconductor element 2 with the substrate 1, the vacuum adsorption nozzle 3 holding the element 2 by adsorption is lowered to the joining position and the joined state is confirmed with a recognizing camera 13.

COPYRIGHT: (C)1992,JPO&Japio

BEST AVAILABLE COPY

⑫ 公開特許公報 (A)

平4-42599

⑬ Int. Cl.⁵

H 05 K 13/04

識別記号

庁内整理番号

M 8315-4E

⑭ 公開 平成4年(1992)2月13日

審査請求 未請求 請求項の数 3 (全3頁)

⑮ 発明の名称 半導体素子の位置合わせ方法

⑯ 特 願 平2-150924

⑰ 出 願 平2(1990)6月8日

⑮ 発明者 小橋 幹生	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑮ 発明者 別所 義夫	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑮ 発明者 原菌 講平	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑮ 発明者 竹田 徹	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑮ 発明者 紙谷 進	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑯ 出願人 松下電器産業株式会社	大阪府門真市大字門真1006番地	
⑰ 代理人 弁理士 粟野 重孝	大阪府門真市大字門真1006番地	
	外1名	

明細書

1、発明の名称

半導体素子の位置合わせ方法。

2、特許請求の範囲

- (1) 半導体素子と基板とをアライメント接合するにあたり、半導体素子のアライメントマークと基板のアライメントマークとを1つの光学系で認識することを特徴とする半導体素子の位置合わせ方法。
- (2) アライメントマークするための認識光学系で接続後の状態確認を行うことを特徴とする請求項1記載の半導体素子の位置合わせ方法。
- (3) 半導体素子と基板とをアライメント接合する方法に於いて、半導体素子のアライメントマークと基板のアライメントマークとを1つの光学系で認識し更に接続後の状態確認を上記光学系で行うことを特徴とする半導体素子の位置合わせ方法。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体素子と基板とをアライメント接

続する、いわゆるフリップチップポンディングにするにあたり、半導体素子と、光学的に透明な基板とをダイレクト接続する場合の半導体素子の位置合わせ方法に関するものである。

従来の技術

これらの方法としては、従来例例えはハーフミラーを介して半導体素子と基板とを位置決めする方法（特公昭56-78133号公報）やプリズムを用いて見る方法、あるいは赤外線で半導体素子を透過してパターンを合わせる方法（特公昭58-137222号公報）などがあった。

発明が解決しようとする課題

しかしながら、ハーフミラーを介して半導体素子と基板とを位置合わせる方法では半導体素子のアライメントマークと基板のアライメントマークを同時に見るためハーフミラーと認識カメラの調整が難しく、また、赤外線で半導体素子を透過してパターンを合わせる方法では、設備が複雑になり赤外線照射装置等設備コストが高くなる欠点があった。

本発明は上記した従来技術の欠点をなくし、半導体素子と基板とを精度よく接合するとともに接合後の状態確認をできるようにした半導体素子の位置合わせ方法を提供することにある。

課題を解決するための手段

上記目的を達成するため、本発明においては、半導体素子のアライメントマークと基板のアライメントマークとを1つの光学系で認識し更に接続後の状態確認を上記光学系で行うことを特徴とするものである。

作用

上記方法とすることにより簡単な設備で確実に半導体素子の位置合せが行えることになる。

実施例

以下、本発明の一実施例を図面に従って説明する。

第1図は本発明の一実施例の全体構成を示すものである。半導体素子2の供給手段を、半導体素子2のアライメントマークを認識後、半導体素子2を定位位置にくるように補正をかけるため、水平

方向に移動可能なX-Yテーブル8と、このX-Yテーブル8上に水平方向に垂直な昇降が可能なようノズル上下用モータ7と連接棒6により上下動自在で、θ回転が可能なようノズル回転用モータ5とタイミングベルト4で回転させられる真空吸着ノズル3を使用し、光学的に透明な基板1のステージには、基板1のアライメントマークのある場所をくり抜き、基板1を真空吸着により固定する位置決めメカ内蔵の基板ステージ9を作成した。そして、その基板ステージ9を基板1のアライメントマークを認識後、基板1を定位位置にくるように補正をかけるため、水平方向に移動可能なX-Yテーブル11上に配置したθテーブル10上に設置した。認識カメラ13は、X-Y-Zの調整できるブラケット15上に取り付け、基板1のアライメントマークを下から認識するため鏡筒12を基板ステージ9とそれを取り付けているθテーブル10との間に設置した。14は認識カメラ13用の照明である。

次に半導体素子2と基板1とをアライメント接

合するための本装置の動作順序について説明する。

第2図において、基板ステージ9上に固定された基板1のアライメントマーク20を認識し位置のデータを記憶する。

第3図において、基板1のアライメントマーク21を認識し、基板1のアライメントマーク20との差を計算して基板1が定位位置にくるようにX-Yテーブル11とθテーブル10で補正を行う。基板1の補正完了後、正確に補正されたかどうかの確認をするため基板1のアライメントマーク21をもう一度認識する。

第4図において、半導体素子2のアライメントマークを認識するため基板ステージ9は認識カメラ13上より移動する。移動後、半導体素子2を吸着した真空吸着ノズル3は認識カメラ13の焦点距離まで下降し、半導体素子2のアライメントマーク22を認識して位置のデータを記憶する。

第5図において、半導体素子2のアライメントマーク23を認識し、半導体素子2のアライメン

トマーク22との差を計算して半導体素子2が定位位置にくるようにX-Yテーブル8と真空吸着ノズル3のθ回転で補正をかける。半導体素子2の補正完了後、正確に補正されたかどうかの確認をするため半導体素子2のアライメントマーク23をもう一度認識する。

第6図において、半導体素子2のアライメントマーク23を認識後、半導体素子2を吸着した真空吸着ノズル3は基板ステージ9が定位位置に復帰しても基板1と半導体素子2が当たらない位置まで上昇する。半導体素子2を吸着した真空吸着ノズル3が上昇すると、基板ステージ9は定位位置へ復帰する。

第7図において、基板1と半導体素子2を接合するため半導体素子2を吸着した真空吸着ノズル3を接合位置まで下降する。接合後、認識カメラ13で接合状態を確認する。

発明の効果

本発明において半導体素子のアライメントマークと基板のアライメントマークを1つの光学系で

認識することにより半導体素子と基板の接合精度が上がると共に設備の簡素化が図れ設備調整時間の短縮、設備コストの削減等の効果が得られる。

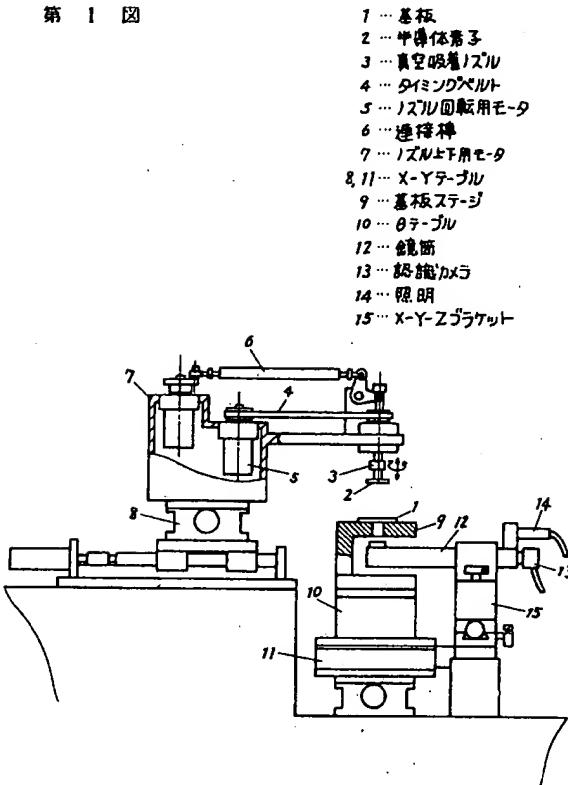
4、図面の簡単な説明

第1図は本発明の一実施例における半導体素子の位置合わせ装置の構成を示す概略構成図、第2図～第7図は本発明の一実施例における半導体素子の位置合わせ方法を示す説明図である。

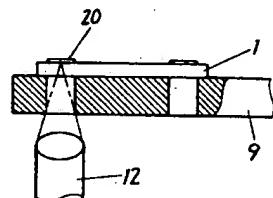
1 ……光学的に透明な基板、2 ……半導体素子、3 ……真空吸着ノズル、4 ……タイミングベルト、5 ……ノズル回転用モータ、6 ……連接棒、7 ……ノズル上下用モータ、8 ……X-Yテーブル、9 ……基板ステージ、10 ……θテーブル、11 ……X-Yテーブル、12 ……鏡筒、13 ……認識カメラ、14 ……照明、15 ……X-Y-Zプラケット、20 ……基板アライメントマーク、21 ……基板アライメントマーク、22 ……半導体素子アライメントマーク、23 ……半導体素子アライメントマーク。

代理人の氏名 弁理士 粟野重孝 ほか1名

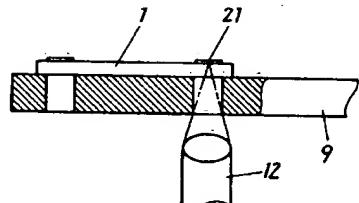
第1図



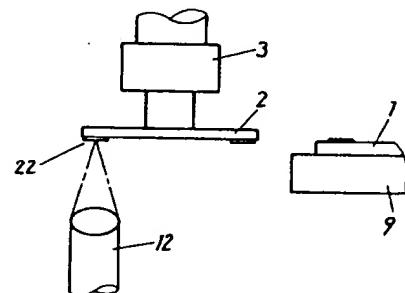
第2図



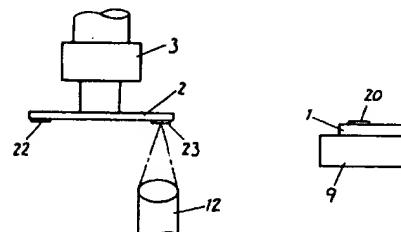
第3図



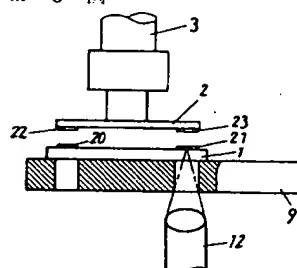
第4図



第5図



第6図



第7図

